

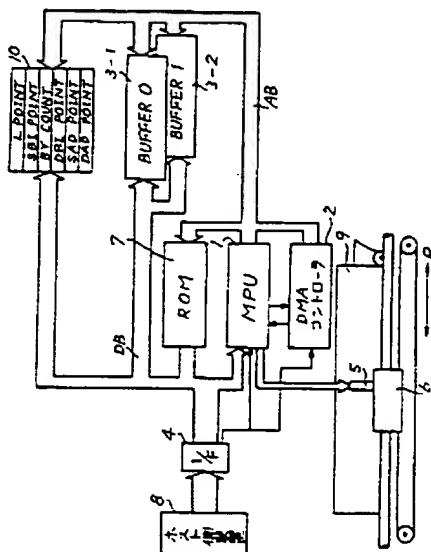
02338253 **Image available**
RECORDER

PUB. NO.: 62 -255153 [JP 62255153 A]
PUBLISHED: November 06, 1987 (19871106)
INVENTOR(s): OOTA YUKIHISA
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 61-098042 [JP 8698042]
FILED: April 30, 1986 (19860430)
INTL CLASS: [4] B41J-003/10; G06F-003/12; G06K-015/00
JAPIO CLASS: 29.4 (PRECISION INSTRUMENTS -- Business Machines); 45.3
 (INFORMATION PROCESSING -- Input Output Units)
JOURNAL: Section: M, Section No. 688, Vol. 12, No. 131, Pg. 148, April
 22, 1988 (19880422)

ABSTRACT

PURPOSE: To transfer data and accelerate the speed of recording action by transferring data received as such without rearrangement thereof and sending the rearranged data for recording through execution of the repetition of development and rearrangement the same number of times as that of recording elements.

CONSTITUTION: Plural recording elements are vertically arranged in recording direction and recording is performed serially. In a recorder having the above function, when serial data are entered per raster along recording direction, and the same number of rasters as that of recording elements are recorded, data of a single raster are received through DMA (direct memory access) transfer without data conversion by a host-side equipment 8, then are stored in a buffer 3-1. After this, the data are converted from horizontal to vertical or vice versa by the process (software) of MPU 1, and are received or converted the number of times corresponding to that of recording elements. Consequently it is possible to accelerate the speed of data transfer between a host unit and a recorder without complication of the configuration of the latter. The required possible storage capacity of the buffer 3-1 is at least of a single raster's data.



THIS PAGE LEFT BLANK

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2000 EPO. All rts. reserv.

6298955

Basic Patent (No,Kind,Date): JP 62255153 A2 871106 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62255153	A2	871106	JP 8698042	A	860430 (BASIC)

Priority Data (No,Kind,Date):

JP 8698042 A 860430

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 62255153 A2 871106

RECORDER (English)

Patent Assignee: CANON KK

Author (Inventor): OOTA YUKIHISA

Priority (No,Kind,Date): JP 8698042 A 860430

Applic (No,Kind,Date): JP 8698042 A 860430

IPC: * B41J-003/10; G06F-003/12; G06K-015/00

JAPIO Reference No: ; 120131M000148

Language of Document: Japanese

THIS PAGE LEFT BLANK

8-351

?s pn=jp 62255153
S5

0 PN=JP 62255153

THIS PAGE LEFT BLANK

THIS PAGE LEFT BLANK

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-255153

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月6日

B 41 J 3/10

1 0 1

E-7612-2C

G 06 F 3/12

7208-5B

G 06 K 15/00

7208-5B

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 記録装置

⑯ 特 願 昭61-98042

⑰ 出 願 昭61(1986)4月30日

⑱ 発 明 者 太 田 享 寿 東京都大田区下丸子3丁目30番2号 キャノン株式会社内

⑲ 出 願 人 キャノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 谷 義 一

明 細 書

置。

1. 発明の名称

記 録 装 置

2. 特許請求の範囲

1) 複数の記録素子を記録走査方向に対して垂直に配列し、記録媒体に対して前記記録走査方向に移動してその過程で前記記録素子の数と同数のラスタを同時に記録する記録ヘッドと、

前記記録走査方向に対応した1ラスタ分の直列のデータを受信して第1の記憶手段に展開する受信手段と、

前記記録素子の配列方向に対応させて前記第1記憶手段に展開されたデータを第2記憶手段に再配置するデータ配置手段と、

前記展開および前記再配置を前記記録素子の数と同数回繰返して実行させる制御手段と、

当該繰返し後に前記第2記憶手段に再配置されたデータを前記記録ヘッドに送出してこれを駆動する駆動手段とを具備したことを特徴とする記録装

置。
2) 特許請求の範囲第1項記載の記録装置において、前記受信手段は前記直列のデータの発生源としてのホスト装置と前記第1記憶手段との間でダイレクト・メモリ・アクセス転送を制御するDMAコントローラを有することを特徴とする記録装置。

(以下、余白)

3. 発明の詳細な説明

(産業上の利用分野)

本発明は記録装置に係り、特にビット単位のイメージデータを入力として受け取り、これを記録紙等記録媒体に記録する記録装置に関する。

(従来の技術)

従来、コンピュータシステム等の一部を構成する出力装置として、カラーCRT等表示装置に表示された面やハードディスク等外部記憶に格納された画像データを、そのままインクジェットあるいは熱転写などの種々の方式を用いて記録紙に記録するいわゆるハードコピー装置と呼ばれる記録装置が知られている。

(発明が解決しようとする問題点)

このような記録装置、特にシリアルタイプの記録装置においては、記録時間の短縮化を図る為に複数個の記録素子を走査方向に垂直に配設した記録ヘッドをキャリッジ上に設け、走査方向にこれを往復移動させながら、同時に記録素子を駆動させて記録動作を行なうものが多かった。

3

この場合、記録データは(1,1),(2,1),…(24,1)の順にシリアルに記録ヘッドに送出されるか、あるいは例えば8ドットを1単位として、{(1,1)~(8,1)}, {(9,1)~(16,1)}, {(17,1)~(24,1)}のように3回に分けてパラレルに記録ヘッドに送出されるようにすることが考えられる。しかし、いずれにしてもこの場合は、第2図に示すように、イメージデータを展開するイメージバッファ内アドレス0の領域には(1,1),(2,1),…(8,1)の8ドット、アドレス1の領域には(9,1)~(16,1)の8ドットという態様でビットイメージデータが格納されていることが望ましい。

一方、ホスト側装置からは、第1図における矢印j方向すなわちラスタ方向に沿ったデータが(1,1),(1,2),…(1,n)(nは横方向の記録ドット数)の順にシリアルに転送されるか、あるいは{(1,1),(1,2),…(1,8)}, {(1,9),(1,10)~(1,16)}…{(1,n-7),(n-6),…(1,n)}のように8ビットごとにシリアルに転送されてくる。そのために、このように連続して転送されるビットイメー

一方、CRT上の画面、あるいはハードディスク上に格納されている画像データ等をホスト側装置から記録装置に転送する場合、ビデオ信号の規格上、あるいは画像データの量子化時における走査方向の制限等によって、ラスタ方向に沿ってデータを出力することがホスト側装置にとっては容易である。ところが、前述の記録装置においてはラスタ方向に沿ったシリアルな記録動作を行なうものの、一回の走査において複数ラスタ分の記録を行なうために、データの再配列を行なう必要がある。たとえば記録素子を縦方向(走査方向に直交する副走査方向)に24個配した記録ヘッドを持つ記録装置の場合、一回の主走査において、iおよびjをそれぞれ副走査方向および主走査方向のドットナンバとすると、第1図に示すように点(i,j)(j=1,1-1,2…24)を同時に記録し、次にjを+1ずつ歩進して次の記録を行ない、以下、同様にしてjが横方向の記録可能ドット数に達するまで繰り返して記録動作を行なってゆく。

4

ジデータを記録装置側では3バイト間きのアドレスに格納しなければならない。

従って、従来の記録装置では、1バイトのイメージデータを受け取る毎にソフトウェア等によって、前述のような飛び飛びのアドレスにデータを格納していくデータ配列(以下データの横縦変換と呼ぶ)を行うと、ホスト側装置と記録装置との間のデータ転送時間が長大化し、しかもこの間双方の装置はその転送処理以外の処理を行うことが困難となるという欠点があった。

(問題点を解決するための手段)

本発明の目的は、かかる問題点を解決し、装置構成の複雑化を伴うことなくデータ転送を高速に行うことのできる記録装置を提供することにある。

そのため、本発明では、第1図に示すように、複数の記録素子を記録走査方向Pに対して垂直に配列し、記録媒体90に対して記録走査方向に移動してその過程で記録素子の数と同数のラスタを同時に記録する記録ヘッド50と、記録走査方向に

5

6

対応した1ラスタ分の直列のデータを受信して第1の記憶手段31に展開する受信手段10と、記録素子の配列方向に対応させて第1記憶手段31に展開されたデータを第2記憶手段32に再配置するデータ配置手段100と、展開および再配置を記録素子の数と同数回繰返して実行させる制御手段120と、当該繰返後に第2記憶手段32に再配置されたデータを記録ヘッドに送出してこれを駆動する駆動手段110とを具える。

(作用)

本発明によれば、データの受信に際しては記録処理を考慮したデータの再配列を行うことなく、そのままデータ転送を行ない、その後の記録時において、データの再配列が行なわれるので、データ転送、ひいては記録動作を高速に行なうことができるようになる。また、第1記憶手段31は少なくとも1ラスタ分のデータの記憶容量があれば足りるので、メモリの大形化を伴うこともない。

(実施例)

ファであり、バッファ3-1はインターフェース4を介してホスト側装置8より受け取ったビットイメージデータがDMA転送によって格納される受信用のバッファ、バッファ3-2はバッファ3-1に格納されたビットイメージデータについてMPUIが横縦変換を行ったとき、そのデータを格納するプリント用のバッファである。インターフェース回路4はホスト側装置8から送られるビットイメージデータをハンドシェイクによって受け取り、これを記録装置側のデータバスDB上に出力する。

符号5で示されるものは記録ヘッドであり、インクジェットノズルなどの記録素子(図示せず)を記録走査方向(図中矢印P方向)に垂直に複数個、例えば24個有し、ギャリッジ6上に搭載されて矢印P方向に往復移動し、その過程で記録紙9上に記録を行なう。符号7で示されるものはリードオンリーメモリ(ROM)によって構成されるメモリであり、第3図示の処理手順等、すなわち記録動作、データ受信およびデータ処理等のプログラムが格納されている。

以下、図面を参照して本発明を詳細に説明する。

第2図は本発明記録装置の一構成例を示す。図において符号1で示されるものはマイクロプロセッサ(MPU)形態の制御装置(以下MPUという)であり、ホスト側装置8からインターフェース4を介して制御コマンドデータを受け取り、コマンドの解析等を行なって第3図につき後述する処理手順等に従って各部を制御する。

符号2で示されるものはダイレクト・メモリー・アクセス(DMA)コントローラ(DMAC)であり、MPUIがホスト側装置8から送られてくるデータがビットイメージデータであることを解析した場合、メモリアccessの主導権をMPUIから譲り受け、自ら、メモリアドレスを出力することによりインターフェース(I/F)4を介してホスト側装置8から受取ったビットイメージデータをMPUI1を介さずに直接バッファ3に格納する。

符号3-1および3-2で示されるものはランダムアクセスメモリ(RAM)によって構成されるバッ

10は例えばRAMによって構成されているメモリ領域であり、その記憶領域には各種ポインタ等を設けておく。ここで、LPOINT、SBPOINT、BYCOUNTおよびDBPOINTは、それぞれ、ホスト側装置8から送られるラスタデータのラスタ数をカウントするためのラスタポインタ(0~2の値を指示)、ソースビットポインタ(0~7の値を指示)、バイトカウンタ(0~ $[n/8]-1$)の値をカウントする。nはラスタ方向のドット数)、およびディスティネーションビットポインタ(0~8の値を指示)を意味している。また、SADPOINTおよびDADPOINTは、それぞれ、ソースアドレスポインタおよびディスティネーションアドレスポインタを意味しており、前者は受信バッファ3-1におけるデータ格納アドレス(ソースアドレス)を、また後者はプリントバッファ3-2におけるデータ格納アドレス(ディスティネーションアドレス)がセットされる。

第3図は第2図示の記録装置による記録等の処理手順の一例を示す。

まず、ステップS1においてMPU1はラスタポイントLPPOINTおよびディスティネーションビットポイントDBIPPOINTに、それぞれ“0”および“8”を格納する。次いで、ステップS2にてMPU1はホスト側装置8からデータが送出されてきたか否かを判定する。まだデータが送られていない場合にはデータが送られるまでステップS2の判定処理を繰り返す。一方、データが送られている場合にはステップS3に移行し、MPU1は当該受信したデータに基づきコマンドの解析を行なう。さらにステップS4に移行し、ステップS3で行なったコマンド解析により、それ以後ホスト側装置8から送られてくるデータがビットイメージデータであるか否かを判定する。ここで、肯定判定された場合にはステップS6に移行してステップS6以下の処理を行ない、一方、否定判定された場合には、ステップS5に移行して当該コマンドに対応した他の処理を行う。

ステップS6においてMPU1はデータ格納アドレスや転送データ等をDMAコントローラ2のレジスタ

1 1

ファ3-1に第4図のように格納されているデータを第6図のような形に変換してプリント用のイメージバッファ3-2に格納するために、まずステップS8において第2図示の各種ポイント等をセットする。ここで、ポイントSBIPPOINT、BYCOUNTにはそれぞれ“0”を、また、ポイントSADPOINTおよびDADPOINTには、それぞれ受信バッファ3-1における最初のソースアドレスおよびプリントバッファ3-2における最初のディスティネーションアドレスをセットする。

次にステップS9に移行してポイントSADPOINTが指示しているアドレスに格納された内容をロードするとともにポイントSADPOINTを+1インクリメントする。次いで、ステップS10に移行してステップS9でロードしたデータを左に1ビットシフトし、ステップS11に移行する。ステップS11では、このシフトの結果、キャリー(C)がセットされたか否かを判定し、セットされていた場合にはステップS12に移行し、一方キャリーがクリアされていた場合にはステップS13に移行する。ス

1 3

にセットしてDMAコントローラを起動し、さらにステップS7に移行してDMA転送が終了するのを待つ。

この間、DMAコントローラ2にはインターフェース4がホスト側装置8からビットイメージデータを受取る毎にDMA要求信号(TXREQ信号)が入力され、その度毎にあらかじめステップS8でセットされたレジスタの値に基づいてアドレス信号をアドレスバス(AB)上に発生し、インターフェース4が受取ったビットイメージデータを受信バッファ3-1に直接書き込んで行く。そしてこのDMA転送はあらかじめステップS8でセットしたレジスタ値に基づき設定された回数(本例の場合、1ラスタ分のバイト数)だけ実行された後に終了する。

このとき、バッファ3-1には第4図に示すようにイメージデータが格納されており、このときステップS8に移行し、以下に述べるデータの横縦変換の処理手順に入る。

ステップS7を終了した時点において、受信バッ

1 2

ステップS12においては、MPU1はディスティネーションアドレスポイントDADPOINTが指示しているアドレスの領域上のディスティネーションビットポイントDBIPPOINTが指示しているビットをセットし、ポイントDADPOINTを+3インクリメントする。一方、ステップS13においてはMPU1はポイントDADPOINTが指示しているアドレス領域上のポイントDBIPPOINTが指示しているビットをクリアし、ポイントDADPOINTを+3インクリメントする。

ステップS12あるいはステップS13を実行すると、手順はステップS14に移行する。ステップS14においてはソースビットポイントSBIPPOINTを+1インクリメントし、次いでステップS15に移行してポイントSBIPPOINTの値が8に達したか否かを判定し、肯定判定であれば、ステップS16に移行する。一方、ポイントSBIPPOINTの値が8に満たない場合にはステップS10に戻り、同様の処理を繰り返す。

ステップS16においては、BYCOUNTを+1インクリメントし、ステップS17に移行する。ステップ

1 4

S17 ではバイトカウンタBYCOUNT が $n/8$ に達したか否かを判定し、肯定判定であれば1ラスター分の横縦変換が終了したのでステップS18に移行する。

一方、カウンタBYCOUNT の値が $n/8$ に満たない場合には、ステップS9に戻り、同様の操作を繰り返す。

ステップS18 においてはポインタDBIPPOINTを-1デクリメントしてステップS19に移行する。ステップS19 においてはポインタDBIPPOINTが“0”であるか否かを判定し、“0”であれば8ラスター分の横縦変換が終了したとしてステップS20に移行する。一方ポインタDBIPPOINTが“0”でない場合にはステップS2に戻り再びデータ受信を行って同様の操作を繰り返す。

ステップS20 においてMPUIはラスターポインタLPPOINTを+1インクリメントし、ディスティネーションビットポインタDBIPPOINTに“8”をセットしてステップS21に移行する。ステップS21 においてはポインタLPPOINTが“3”に達したか否かを

1 5

タの取り込みも可能となる。

以上のように、本実施例によれば、複数の記録素子を記録方向に対して垂直に配列し、シリアルに記録を行なう記録装置において記録方向に沿ったラスター毎のシリアルデータを入力とし、記録時において記録素子の数と同数のラスターを同時に記録する処理を行う場合に、1ラスター分のデータをホスト側装置からデータ変換を行うことなくDMA転送により受取り、これをバッファに格納した後、データの横縦変換をMPUの処理（ソフトウェア）によって行ない、このデータ受信ないし変換処理を記録素子の数に対応した回数を繰返すようにしたので、記録装置の構成の複雑化を伴うことなくホスト装置と記録装置とのデータ転送の高速化が可能になる。また、バッファ3-1についてはこれを少なくとも1ラスター分のデータの格納容量があるものとするれば足り、従ってメモリの大形化や装置の高価格化が生じることもない。

なお、上述の実施例では記録ヘッドとして24ドットのインクジェット記録ヘッドを用いた場合

1 7

判定し、肯定判定であれば概24ラスター分（記録素子の数に対応したラスター分）の横縦変換が終了したとしてステップS22に移行し、記録動作にはいる。一方ポインタLPPOINTの値が“3”に満たない場合には、24ラスター分の横縦変換がまだ終了していないためステップS2に戻り、再びデータ受信を行って同様の操作を繰り返す。

最後にステップS22 においてMPUIはモータ駆動装置（図示せず）を駆動してキャリッジ6を移動させ、記録開始位置までキャリッジが移動したならば、イメージバッファ3-2に格納されたビットイメージデータを3バイトつづ順次記録ヘッド5に送出し、記録処理を行なう。

以上の動作においては、ホスト装置8からのビットイメージデータの取込みについてはDMAを用いて行なうために高速で行なうことが可能である。また、データの横縦変換はソフトウェアによって行なうために複雑な回路の追加なしで行なうことが可能である。しかもDMA転送についてサイクルスチール動作を行えば、記録動作中にデー

1 6

について述べたが、複数の記録素子であれば素子の数および種類には種々のものを採用可能である。すなわち、例えば素子数を8ドット、32ドット、128ドット等、あるいは形態をワイヤードット、熱転写等とした記録装置に対しても本発明は容易かつ有効に適用可能である。または縦方向一列に並んだ複数の記録素子を持つ1つの記録ヘッドを有する記録装置について示したが、同様の記録ヘッドをさらに複数個、横方向に配列してカラー記録等を行なう記録装置についても本発明は容易かつ有効に適用可能である。

（発明の効果）

以上説明したように、本発明によれば、装置構成の複雑化を伴うことなく、ホスト装置との間でデータ転送を高速に行い得る記録装置を実現できる。

4. 図面の簡単な説明

第1図は本発明の全体構成図、

第2図は本発明記録装置の一実施例を示すブロック図、

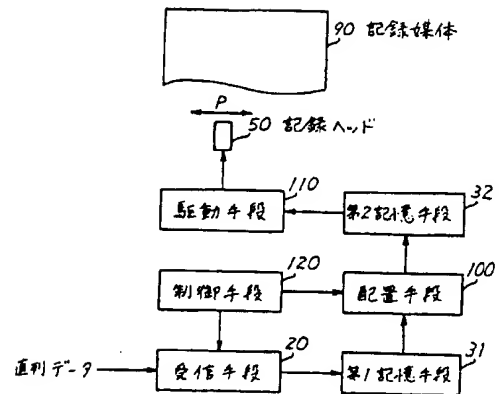
1 8

第3図は第2図示の実施例に係るイメージデータの転送、変換等を含む記録処理手順の一例を示すフローチャート、

第4図は第2図における受信バッファへのデータ格納状態を説明するための模式図、

第5図は1回の記録走査動作で記録可能なイメージデータの状態を示す模式図、

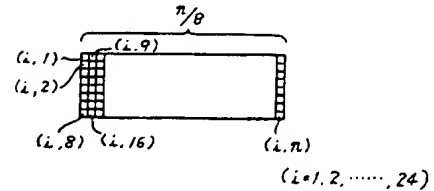
第6図は記録処理時に記録装置において使用されるイメージバッファへのデータ格納の状態を説明するための模式図である。



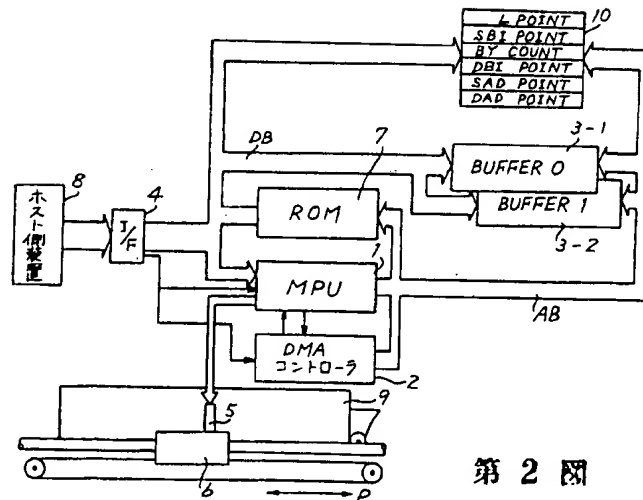
第1図

- 1 … MPU、
- 2 … DMA コントローラ、
- 3-1 … 受信バッファ、
- 3-2 … プリントバッファ、
- 4 … インタフェース回路、
- 5 … 記録ヘッド、
- 8 … ホスト装置、
- 9 … 記録紙、
- 10 … ポインタ領域。

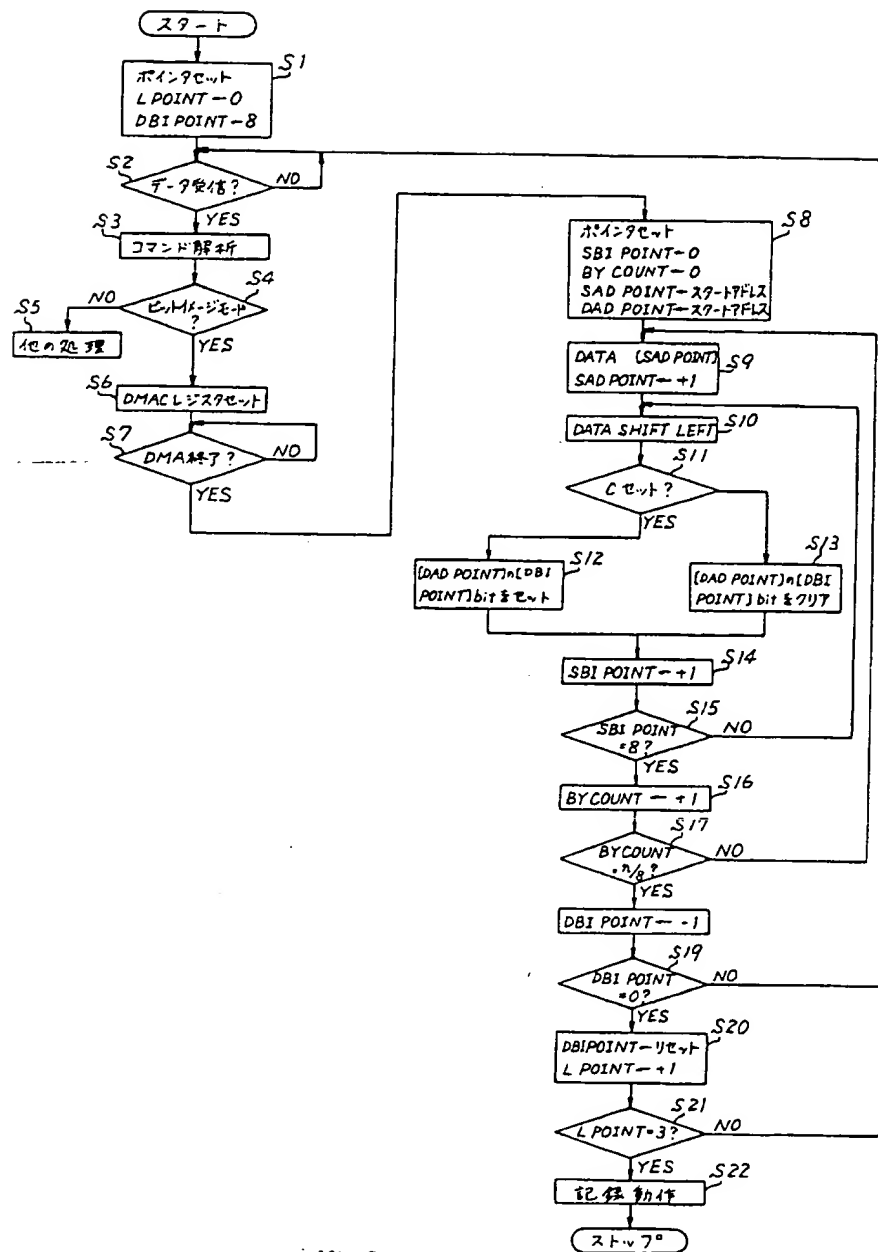
1 9



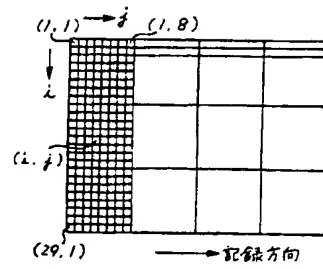
第4図



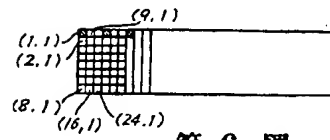
第2図



第 3 図



第 5 図



第 6 図